

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JPAB

CLIPPEDIMAGE= JP362051329A

PAT-NO: JP362051329A

DOCUMENT-IDENTIFIER: JP 62051329 A

TITLE: CODE IDENTIFICATION CIRCUIT

PUBN-DATE: March 6, 1987

INVENTOR-INFORMATION:

NAME

MINAMI, SHOGO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP.

N/A

APPL-NO: JP60191231

APPL-DATE: August 30, 1985

INT-CL (IPC): H04L007/02; H04L025/40

US-CL-CURRENT: 375/371

ABSTRACT:

PURPOSE: To obtain a code identification circuit by controlling a phase shifter

so as to make the output of the 1st and 2nd integration circuits equal to each

other thereby controlling always the phase of a clock pulse against temperature

fluctuation so as to minimize the number of error pulses.

CONSTITUTION: A multi-value digital signal whose quality is deteriorated due to

the effect of a transmission line is inputted to a multi-value digital signal

input terminal 1, after the signal is amplified to a required level by a pulse

amplifier 2, the result is inputted respectively to code identification

sections 3∼5. On the other hand, the signal is inputted also to a clock

extraction circuit 6, where the clock pulse is extracted and after the

extracted clock pulse is subject to phase-shift control by a phase shifter 7, a

prescribed time of delay is given in a delay circuit 8 and the clock pulse of

the delay circuit 8 is given the same time delay at a delay circuit 9. The

phase shifter 7 controls the phase of the clock from the clock extraction

circuit 6 so as to make the output of the integration circuits 13, 14 equal to

each other. The phase of the digital signal and the clock pulse in a code identification section 4 is controlled to minimize the bit error at all times.

COPYRIGHT: (C)1987, JPO&Japio

⑫ 公開特許公報(A)

昭62-51329

⑬ Int.Cl.⁴H 04 L 7/02
25/40

識別記号

庁内整理番号

Z-6745-5K
C-7345-5K

⑭ 公開 昭和62年(1987)3月6日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 符号識別回路

⑯ 特 願 昭60-191231

⑰ 出 願 昭60(1985)8月30日

⑱ 発 明 者 南 省 吾 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 井ノ口 壽

明 細 書

1. 発明の名称

符号識別回路

2. 特許請求の範囲

信号伝送路の影響により劣化した多値デジタル信号の各レベルを識別する符号識別回路において、入力されたデジタル信号からクロックパルスを抽出するクロック抽出回路と、前記クロック抽出回路から出力されるクロックの位相を制御する移相器と、前記移相器から出力されるクロックを遅延させ、第2クロックパルスを出力する第1遅延回路と、前記第2クロックパルスを第1遅延回路と同じ時間遅延させ、第3クロックパルスを出力する第2遅延回路と、前記移相器から出力されるクロックパルスにより前記デジタル信号を識別する第1識別部と、前記第2クロックパルスにより前記デジタル信号を識別する第2識別部と、前記第3クロックパルスにより前記デジタル信号を識別する

第3識別部と、前記第1識別部の出力信号中のエラーパルスを検出する第1エラーパルス検出部と、前記第1エラーパルス検出部の出力を平均化する第1積分回路と、前記第3識別部の出力信号中のエラーパルスを検出する第2エラーパルス検出部と、前記第2エラーパルス検出部の出力を平均化する第2積分回路とからなり、前記第1と第2積分回路の出力が等しくなるように前記移相器を制御するように構成したことを特徴とする符号識別回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は信号伝送路において帯域制限、雑音等の影響を受けて劣化した多値デジタル信号を識別する符号識別回路に関する。

(従来の技術)

信号伝送路において、多値デジタル信号は帯域制限、雑音等の影響を受けて劣化する。この多値デジタル信号を識別するための符号識別回路が実施されている。

従来の符号識別回路では多値デジタル信号の各レベルは同一のクロックパルスで識別していた。

しかし、クロックパルスは温度変動により位相が変動するため、これを極力少なくするために温度変動の少ない高価な部品を使用したり、複雑な温度補償用の回路を用いたりしていた。

(発明が解決しようとする問題点)

従来の多値デジタル信号の符号識別回路では識別部に入力されるデジタル信号の各レベルの位相を合せなくてはならないため、伝送路における特性、特に遅延特性については高度な品質が要求され、さらに温度変動に対しクロックパルスの位相を常に最適に制御することは困難である。

本発明の目的は温度変動に対し常にクロックパルスの位相を、エラーパルス数が最小になるように制御する符号識別回路を提供することにある。

(問題点を解決するための手段)

識別部の出力信号中のエラーパルスを検出する第2エラーパルス検出部と、前記第2エラーパルス検出部の出力を平均化する第2積分回路とからなり、前記第1と第2積分回路の出力が等しくなるように前記移相器を制御するように構成されている。

前記構成によれば第2識別部において入力されたデジタル信号と第2クロックパルスの位相関係を常にエラーパルス数が最小になるように制御でき、本発明の目的は完全に達成できる。

(実施例)

次に本発明について図面を参照して説明する。

第1図は本発明による符号識別回路の実施例を示す回路ブロック図である。この回路は多値デジタル信号のうちの1レベルを識別する例である。

伝送路の影響で品質が劣化した多値デジタル信号は多値デジタル信号入力端子1に入力される。パルス増幅器2で必要なレベルまで増幅された後、それぞれ符号識別部3、4、5に入

前記目的を達成するために本発明による符号識別回路は信号伝送路の影響により劣化した多値デジタル信号の各レベルを識別する符号識別回路において、入力されたデジタル信号からクロックパルスを抽出するクロック抽出回路と、前記クロック抽出回路から出力されるクロックの位相を制御する移相器と、前記移相器から出力されるクロックを遅延させ、第2クロックパルスを出力する第1遅延回路と、前記第2クロックパルスを第1遅延回路と同じ時間遅延させ、第3クロックパルスを出力する第2遅延回路と、前記移相器から出力されるクロックパルスにより前記デジタル信号を識別する第1識別部と、前記第2クロックパルスにより前記デジタル信号を識別する第2識別部と、前記第3クロックパルスにより前記デジタル信号を識別する第3識別部と、前記第1識別部の出力信号中のエラーパルスを検出する第1エラーパルス検出部と、前記第1エラーパルス検出部の出力を平均化する第1積分回路と、前記第3

力される。

一方、クロック抽出回路6にも入力され、クロックパルスが抽出される。

抽出されたクロックパルスは移相器7で移相制御を受けた後、遅延回路8において一定時間の遅延が与えられ、さらに遅延回路8のクロックパルスは遅延回路9で前記と同じ時間の遅延が与えられる。

符号識別部3は移相器7からのクロックパルスにより、符号識別部4は遅延回路8からのクロックパルスにより、符号識別部5は遅延回路9からのクロックパルスによりそれぞれデジタル信号を識別する。

エラーパルス検出回路11、12はフレーム同期回路10からのフレーム同期信号を用いて符号識別部3、5の出力信号中からエラーパルスをそれぞれ検出し、各出力は積分回路13、14においてそれぞれ平均化される。

演算増幅器15では積分回路13、14からの出力差に応じたレベルの信号が出力され、移相器7

に入力される。

移相器 7 は積分回路 13, 14 の出力を等しくするようクロック抽出回路 6 からのクロックの位相を制御する。

これは符号識別部 3, 5 から発生するエラーパルスの数は常に等しくなるように制御されることになる。

この結果、符号識別部 4 におけるデジタル信号とクロックパルスの位相は常にビットエラーが最小になるように制御される。これによりデジタル信号とクロックパルスの位相関係は最適となる。

第 2 図は多値デジタル信号の各レベルの識別に第 1 図の符号識別回路を適用した例である。

第 1 図の符号識別回路 A は各レベルを識別する符号識別回路 17, 18, 19 にそれぞれ対応する。各符号識別回路 17, 18, 19 にはパルス増幅器 2 とクロック抽出回路 6 が接続されている。

以上の回路構成により各レベルに対してクロックパルスの位相を最適にすることができる。

(発明の効果)

以上、詳しく説明したように本発明によれば伝送路で雑音等による影響を受けた多値デジタル信号の各レベルに対して、温度変動等に対し常にクロックパルスの位相を、エラーパルスの数が最小となるように制御することができる符号識別回路を実現できる。

したがって温度変動に対する対策として従来用いていた温度変動の少ない高価な部品や複雑な温度補償回路を構成の一部として含んでいないので、低価格の回路構成で、クロックパルスの位相を常に最適に制御できるという効果がある。

4. 図面の簡単な説明

第 1 図は本発明による符号識別回路の実施例を示すブロック図、第 2 図は多値デジタル信号の各レベルを識別する符号識別回路に適用した場合のブロック図である。

1 … デジタル信号入力端子

2 … パルス増幅器

3, 4, 5 … 符号識別部

6 … クロック抽出回路 7 … 移相器

8, 9 … 遅延回路 10 … フレーム同期回路

11, 12 … エラーパルス検出回路

13, 14 … 積分回路 15 … 演算増幅器

16 … デジタル信号出力端子

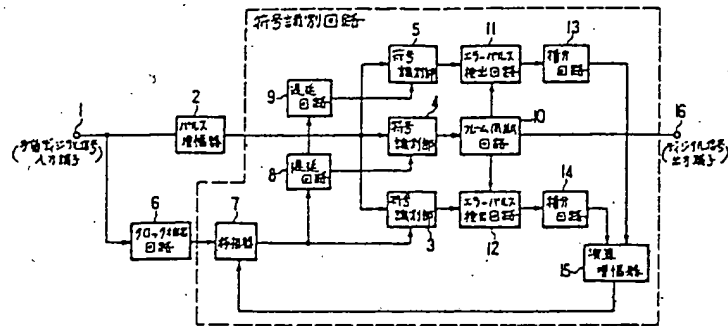
17, 18, 19 … 本発明による符号識別回路

20, 21 … デジタル信号出力端子

特許出願人 日本電気株式会社

代理人 弁理士 井 ノ 口 義

才 1 図



才 2 図

